

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-138374

(P2000-138374A)

(43) 公開日 平成12年5月16日 (2000. 5. 16)

(51) Int.Cl. ⁷	識別記号	F I	タームコード* (参考)
H 0 1 L	29/786	H 0 1 L 29/78	6 2 7 G 5 F 1 1 0
	21/336	21/265	6 0 2 C
	21/265	29/78	6 0 4 M
			6 1 6 A
			6 1 7 S

審査請求 有 請求項の数12 O L (全 8 頁)

(21) 出願番号 特願平10-309581

(22) 出願日 平成10年10月30日 (1998. 10. 30)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 伊賀 大輔

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100080816

弁理士 加藤 朝道

Fターム(参考) 5F110 AA16 CC02 EE05 EE31 FF02

GG02 GG13 HJ13 HJ21 HJ23

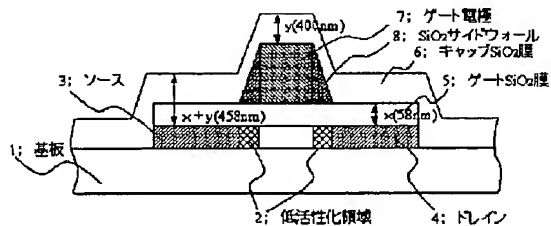
HM15 QQ11

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】不純物注入後レーザーアニールによって不純物の活性化を行うに際し、SD層及びLDD層形成のための不純物注入工程を簡略化でき、レーザーの照射によるゲート電極の消失を防止することができる半導体装置及びその製造方法の提供。

【解決手段】基板(図1の1)上に薄膜半導体層とゲートSiO₂膜(図1の1)とゲート電極(図1の7)とゲート電極側壁に形成されたSiO₂サイドウォール(図1の8)とこれらを覆うように形成されたキャップSiO₂膜(図1の6)と備え、ゲート電極上のキャップSiO₂膜の光学的厚さが、不純物の活性化のために照射するレーザーの反射率が大きくなるように設定され、ソース(図1の3)/ドレイン(図1の4)上の、ゲートSiO₂膜とキャップSiO₂膜の合計の光学的厚さが、レーザーの反射率が小さくなるように設定され、SiO₂サイドウォール上のキャップSiO₂膜の光学的厚さが、ソース/ドレイン上よりもレーザーの反射率が大きく、LDD層の形成に必要な厚さに設定される。



【特許請求の範囲】

【請求項1】絶縁膜を介して不純物注入領域にレーザを照射し、不純物を活性化することにより形成した能動領域を有する半導体装置において、

前記絶縁膜が、前記活性化領域においては、レーザの反射率が小さくなる光学的厚さに設定され、

前記活性化領域以外の、レーザの吸収によりダメージを受ける所定の領域においては、レーザの反射率が大きくなる光学的厚さに設定されている、ことを特徴とする半導体装置。

【請求項2】絶縁膜を介して不純物注入領域にレーザを照射し、不純物を活性化することにより形成したソース／ドレイン領域及びLDD（低濃度ドレイン）領域を有する半導体装置において、

前記絶縁膜が、前記ソース／ドレイン領域においては、レーザの反射率が小さくなる光学的厚さに設定され、

前記LDD領域においては、レーザの反射率が前記ソース／ドレイン領域よりも大きく、かつLDD層形成に必要な量だけレーザを透過する光学的厚さに設定され、前記ソース／ドレイン及び前記LDD領域領域以外の、レーザの吸収によりダメージを受ける所定の領域においては、レーザの反射率が大きくなる光学的厚さに設定されている、ことを特徴とする半導体装置。

【請求項3】前記活性化領域上の前記絶縁膜の光学的厚さを d とし、前記活性化領域以外の所定の領域上の前記絶縁膜の光学的厚さを D とし、前記レーザの波長を λ としたとき、少なくとも、

前記活性化領域上では $4d \approx (2m+1)\lambda$ [m は整数]の関係を満たし、

前記活性化領域以外の所定の領域上では $2D \approx m\lambda$ の関係を満たすように d 及び D が設定されている、ことを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】絶縁膜を介してレーザを照射することにより、不純物を注入した領域を活性化して能動領域を形成する半導体装置の製造方法において、

前記活性化領域ではレーザの反射率が小さく、前記活性化領域以外の、レーザの吸収によりダメージを受ける領域ではレーザの反射率が大きくなるように、前記絶縁膜を複数回に分けて形成し、該絶縁膜の光学的厚さを前記領域に応じて変える、ことを特徴とする半導体装置の製造方法。

【請求項5】前記活性化領域上の前記絶縁膜の光学的厚さを d とし、前記活性化領域以外の所定の領域上の前記絶縁膜の光学的厚さを D とし、前記レーザの波長を λ としたとき、少なくとも、

前記活性化領域上では $4d \approx (2m+1)\lambda$ [m は整数]の関係を満たし、

前記活性化領域以外の所定の領域上では $2D \approx m\lambda$ の関係を満たすように d 及び D が設定されている、ことを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】基板上に薄膜半導体層とゲート絶縁膜とゲート電極とが形成され、これらを覆うように形成したキャップ絶縁膜を介してレーザを照射し、前記ゲート電極直下を除く前記薄膜半導体層の所定の領域を活性化してソース／ドレインが形成されてなるプレーナー型TFETにおいて、

前記ゲート電極上の前記キャップ絶縁膜の光学的厚さが、前記レーザの反射率が大きくなるように設定され、ソース／ドレインとなる前記薄膜半導体層の所定の領域上の、前記ゲート絶縁膜と前記キャップ絶縁膜の合計の光学的厚さが、前記レーザの反射率が小さくなるように設定されている、ことを特徴とするプレーナー型TFET。

【請求項7】基板上に薄膜半導体層とゲート絶縁膜とゲート電極と該ゲート電極側壁に形成された側壁部とを備え、これらを覆うように形成したキャップ絶縁膜を介してレーザ光を照射し、前記ゲート電極直下を除く前記薄膜半導体層の所定の領域を活性化してソース／ドレインが形成されてなるプレーナー型TFETにおいて、

前記ゲート電極上の前記キャップ絶縁膜の光学的厚さが、前記レーザの反射率が大きくなるように設定され、ソース／ドレインとなる前記薄膜半導体層の所定の領域上の、前記ゲート絶縁膜と前記キャップ絶縁膜の合計の光学的厚さが、前記レーザの反射率が小さくなるように設定され、

前記基板の法線方向から見て、前記側壁部上の前記キャップ絶縁膜の光学的厚さが、前記ソース／ドレイン上よりも前記レーザの反射率が大きく、LDD（低濃度ドレイン）層が形成されるように設定されている、ことを特徴とするプレーナー型TFET。

【請求項8】前記ソース／ドレイン層と前記LDD層の不純物濃度が略等しい、ことを特徴とする請求項7記載のプレーナー型TFET。

【請求項9】前記ゲート絶縁膜の光学的厚さを d_1 、前記キャップ絶縁膜の光学的厚さを d_2 、前記レーザ光の波長を λ としたとき、少なくとも、

前記ゲート電極上では $2d_2 \approx m\lambda$ [m は整数]の関係を満たし、

前記ソース／ドレイン領域上では $4(d_1 + d_2) \approx (2m+1)\lambda$ の関係を満たすように d_1 及び d_2 が設定されている、ことを特徴とする請求項6乃至8のいずれかに記載のプレーナー型TFET。

【請求項10】前記ゲート絶縁膜、キャップ絶縁膜及び側壁部が SiO_2 からなり、前記ゲート電極が WSi 層を少なくとも含む、ことを特徴とする請求項6乃至9のいずれかに記載のプレーナー型TFET。

【請求項11】(a)基板上に薄膜半導体層とゲート絶縁膜とゲート電極とを形成する工程と、

(b)前記薄膜半導体層に不純物を注入してソース／ドレインを形成する工程と、

(c) 前記ゲート電極側壁に絶縁部材からなる側壁部を形成する工程と、

(d) 前記薄膜半導体層と前記ゲート絶縁膜と前記ゲート電極とを覆うように、前記基板全体にキャップ絶縁膜を形成する工程と、

(e) 前記基板上から前記キャップ絶縁膜を介してレーザを照射して前記不純物を活性化する工程と、を少なくとも備え、

前記ゲート絶縁膜の光学的厚さを d_1 、前記キャップ絶縁膜の光学的厚さを d_2 、前記レーザの波長を λ としたとき、少なくとも、

前記ゲート電極上では $2d_2 \approx m\lambda$ [m は整数] の関係を満たし、

前記ソース／ドレイン領域上では $4(d_1 + d_2) \approx (2m + 1)\lambda$ の関係を満たすように d_1 及び d_2 が設定されている、ことを特徴とするプレーナ型TFTの製造方法。

【請求項12】前記ゲート絶縁膜、キャップ絶縁層及び側壁部が SiO_2 からなり、前記ゲート電極が WSi 層を少なくとも含む、ことを特徴とする請求項11記載のプレーナ型TFTの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に関し、特に、プレーナ型 $p\text{-SiTFT}$ に用いて好適なレーザによる不純物活性化方法により形成した半導体装置及びその製造方法に関する。

【0002】

【従来の技術】従来のプレーナ型 $p\text{-SiTFT}$ の製造方法について、図11及び図12を参照して説明する。従来、TFTのLDD(低濃度ドレイン)領域及びSD(ソース／ドレイン)領域を形成するには、基板1に薄膜半導体層10とゲート SiO_2 膜5とゲート電極7を形成した後、図11(a)に示すように、イオン注入装置あるいはイオンドーピング装置によってLDD層形成用の不純物を注入し、続いて、図11(b)に示すように、SD層形成用の不純物を注入するという2回のイオン注入によって不純物の注入を行い、その後、図12に示すように、炉アニール(図12(a))、またはレーザアニール(図12(b))により不純物の活性化を行うという方法が用いられている。

【0003】

【発明が解決しようとする課題】しかしながら、上述した従来の不純物の注入及び活性化方法には、以下に示すような問題点があった。

【0004】第1の問題点は、不純物の注入に際して、SD層とLDD層とでは注入する不純物の濃度が異なるため、SD層及びLDD層を形成するためには少なくとも2回の不純物注入が必要となり、不純物注入の工程に時間がかかってしまうということである。

【0005】第2の問題点は、不純物注入領域を活性化するに際し、炉アニールを用いる場合には、不純物の活性化、特にリンドープ層の活性化には 550°C 以上の高温でアニールする必要がある、昇温時間、降温時間が長いために、基板として使用しているガラスにひずみが入ったり、またスループットが低くなってしまうということである。

【0006】第3の問題点は、不純物注入領域を活性化するに際し、レーザアニールを用いる場合には、SD層の活性化に所定の照射エネルギーが必要になるが、ゲート電極にも直接レーザ光が照射されてしまうため、ゲート電極がダメージを受けて消失してしまうということである。

【0007】本発明は、上記問題点に鑑みてなされたものであって、その主たる目的は、不純物注入後レーザアニールによって不純物の活性化を行うに際し、SD層及びLDD層形成のための不純物注入工程を簡略化でき、レーザの照射によるゲート電極の消失を防止することができる半導体装置及びその製造方法を提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するため、本発明は、第1の視点において、絶縁膜を介して不純物注入領域にレーザを照射し、不純物を活性化することにより形成した能動領域を有する半導体装置において、前記絶縁膜が、前記活性化領域においては、レーザの反射率が小さくなる光学的厚さに設定され、前記活性化領域以外の、レーザの吸収によりダメージを受ける所定の領域においては、レーザの反射率が大きくなる光学的厚さに設定されているものである。

【0009】また、本発明は、第2の視点において、絶縁膜を介して不純物注入領域にレーザを照射し、不純物を活性化することにより形成したソース／ドレイン領域及びLDD(低濃度ドレイン)領域を有する半導体装置において、前記絶縁膜が、前記ソース／ドレイン領域においては、レーザの反射率が小さくなる光学的厚さに設定され、前記LDD領域においては、レーザの反射率が前記ソース／ドレイン領域よりも大きく、かつLDD層形成に必要な量だけレーザを透過する光学的厚さに設定され、前記ソース／ドレイン及び前記LDD領域領域以外の、レーザの吸収によりダメージを受ける所定の領域においては、レーザの反射率が大きくなる光学的厚さに設定されているものである。

【0010】また、本発明は、第3の視点において、絶縁膜を介してレーザを照射することにより、不純物を注入した領域を活性化して能動領域を形成する半導体装置の製造方法において、前記活性化領域ではレーザの反射率が小さく、前記活性化領域以外の、レーザの吸収によりダメージを受ける領域ではレーザの反射率が大きくなるように、前記絶縁膜を複数回に分けて形成し、該絶縁

膜の光学的厚さを前記領域に応じて変えるものである。

【0011】本発明においては、前記活性化領域上の前記絶縁膜の光学的厚さを d とし、前記活性化領域以外の所定の領域上の前記絶縁膜の光学的厚さを D とし、前記レーザの波長を λ としたとき、少なくとも、前記活性化領域上では $4d \approx (2m+1)\lambda$ (m は整数)の関係を満たし、前記活性化領域以外の所定の領域上では $2D \approx m\lambda$ の関係を満たすように d 及び D が設定されていることが好ましい。

【0012】

【発明の実施の形態】本発明に係る半導体装置は、その好ましい実施の形態において、基板(図1の1)上に薄膜半導体層とゲート SiO_2 膜(図1の1)とゲート電極(図1の7)とゲート電極側壁に形成された SiO_2 サイドウォール(図1の8)とこれらを覆うように形成されたキャップ SiO_2 膜(図1の6)と備え、ゲート電極上のキャップ SiO_2 膜の光学的厚さが、不純物の活性化のために照射するレーザの反射率が大きくなるように設定され、ソース(図1の3)/ドレイン(図1の4)上の、ゲート SiO_2 膜とキャップ SiO_2 膜の合計の光学的厚さが、レーザの反射率が小さくなるように設定され、 SiO_2 サイドウォール上のキャップ SiO_2 膜の光学的厚さが、ソース/ドレイン上よりもレーザの反射率が大きく、LDD層の形成に必要な厚さに設定されているものである。

【0013】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。

【0014】【実施例1】本発明の第1の実施例に係るプレーナー型 $p\text{-SiTFT}$ について図1乃至図9を参照して説明する。図1は、第1の実施例に係るプレーナー型 $p\text{-SiTFT}$ の構造を説明するための断面図であり、図2及び図3は、プレーナー型 $p\text{-SiTFT}$ の製造工程を模式的に説明するための断面図である。図4は、 SiO_2 の膜厚に対するゲート電極及びSD層上でのレーザの反射率を示す図であり、図5乃至図7は、ゲート SiO_2 膜を所定の膜厚に設定した場合のキャップ SiO_2 膜の膜厚に対するレーザ光のゲート電極消失臨界強度及びSD層活性化臨界強度を示す図である。また、図8及び図9は、キャップ SiO_2 膜を所定の膜厚に設定した場合のゲート SiO_2 膜の膜厚に対するレーザ光のゲート電極消失臨界強度及びSD層活性化臨界強度を示す図である。

【0015】まず、本実施例のプレーナー型 $p\text{-SiTFT}$ の製造方法について、図2及び図3を参照して説明すると、本実施例のTFTは、基板1上に活性層となる $p\text{-Si}$ 層を形成後、ゲート SiO_2 膜5を、例えば58nmの膜厚で堆積し、アイランドを形成する。その後、ゲート SiO_2 膜5上に WSi からなるゲート電極

7を形成し、イオンインプランテーション/イオンドーピングによりSD層形成用イオン注入を行うことによってソース3及びドレイン4を形成する(図2(a)参照)。

【0016】次に、ゲート電極7の側壁に SiO_2 サイドウォール8を形成した後(図2(b)参照)、図3(a)に示すように、キャップ SiO_2 膜6を、例えば400nmの膜厚で形成する。そして、図3(b)に示すように、エキシマレーザをキャップ SiO_2 膜6の上から照射して注入した不純物の活性化を行う。

【0017】不純物の活性化に際して、本実施例では図1に示すように、ゲート電極7の直上では SiO_2 の膜厚は y であり、ソース3及びドレイン4の直上では SiO_2 の膜厚は図から明らかなように $x+y$ となる。このような構造のTFTに、エキシマレーザを照射した場合、それぞれの領域における反射率は、 SiO_2 層の膜厚や直下の層の光学特性及びレーザの波長等によって決定される。従って、 SiO_2 膜厚 x と y が所定の膜厚となる構造のTFTを設計することで、ゲート電極7の部分ではレーザの実効入射強度を低く、ソース3/ドレイン4部分では実効入射強度を高くすることが可能となる。

【0018】また、 SiO_2 サイドウォール8直下では、基板1の法線方向から見た SiO_2 サイドウォール8の光学的膜厚を所定の値にすることによって、レーザ入射強度を低くすることができ、従って、活性化率が低く、すなわち高抵抗とすることができ、一般に用いられているLDD構造に相当する領域を形成することが可能となる。通常、LDD構造を形成するためには、高濃度と低濃度の2回の不純物注入プロセスが必要となるが、本実施例の構造では、高濃度条件による1回の注入のみで、 SiO_2 の膜厚に起因するレーザの反射率を変化させることによって、LDD構造に相当する構成を形成することができる。

【0019】本実施例の効果を具体的に説明すると、キャップ SiO_2 膜6を形成せずに直接 XeCl レーザ(波長308nm)を照射して活性化を行う場合、SD層の活性化には $175\text{mJ}/\text{cm}^2$ 以上の照射強度が必要である。一方、 WSi からなるゲート電極7は $140\text{mJ}/\text{cm}^2$ 以上の照射強度で消失することが判明している。

【0020】ここで、図4に示すように、キャップ SiO_2 膜6を、例えば400nm形成した場合(すなわち、 $y=400\text{nm}$)、ゲート電極7直上におけるレーザの反射率は、図2の一点鎖線で示すように51.4%となり、一方、SD層直上においてはトータルの SiO_2 膜の膜厚は458nm(すなわち、 $x+y=458\text{nm}$)であり、その反射率は同様に図2から30.2%となる。

【0021】前記したSD層の活性化レーザ強度175

mJ/cm^2 は、反射率を考慮するとSD層活性化のためには、 $175 \div (1 - 0.302) = 250 \text{ mJ}/\text{cm}^2$ の照射強度が必要であり、この時ゲート電極へ照射される実効強度は $250 \times (1 - 0.514) = 122 \text{ mJ}/\text{cm}^2$ となり、WSiからなるゲート電極7の消失照射強度 $140 \text{ mJ}/\text{cm}^2$ より小さくなる。従って、ゲート電極7にダメージをあたえることなくSD層の活性化を行うことができる。また、ゲート電極7が消失してしまう臨界レーザー強度は、 $140 \div (1 - 0.514) = 288 \text{ mJ}/\text{cm}^2$ であるので、レーザー照射強度のマージンを確保することも可能である。

【0022】これにより、レーザー照射によるダメージからゲート電極7を保護しつつ、SD層をレーザーアニールにより活性化することが可能となる。また、このような構成にすることにより、ゲート電極7が保護されるため、レーザー強度のマージンを大きくすることが可能となる。

【0023】次に、ゲートSiO₂膜5及びキャップSiO₂膜6の膜厚を決定するための方法について図5乃至図9を参照して説明する。なお、図5乃至図7は、ゲートSiO₂膜5の膜厚をそれぞれ、30nm、50nm、70nmに固定した場合について説明するものであり、図8及び図9は、キャップSiO₂膜6の膜厚をそれぞれ400nm、110nmに固定した場合について説明するものである。

【0024】図5乃至図7中の、実線で示した波形はキャップSiO₂膜6の膜厚を変化させた場合のSD層が活性化されるために必要な臨界強度を示し、破線で示した波形はWSi（ゲート電極7）が消失する臨界強度を示す。図5乃至図7中の斜線で示した領域は、破線のWSi消失臨界強度以下で実線のSD層活性化臨界強度以上の強度領域で、WSiの消失を防ぎながらSD層の活性化を行うことができる領域である。

【0025】同様に、図8及び図9中、実線で示した波形はゲートSiO₂膜5の膜厚を変化させた場合のSD層が活性化されるために必要な臨界強度を示し、破線で示した波形はWSiが消失する臨界強度を示している。また斜線で示した領域は、WSi消失臨界強度以下でSD層活性化臨界強度以上の強度領域で、同様にWSiの消失を防ぎながらSD層の活性化を行うことができる領域である。

【0026】図5乃至図9に示すとおり、ゲート電極消失臨界強度と、SD層活性化臨界強度の両方を満足する範囲でゲートSiO₂膜5及びキャップSiO₂膜6の膜厚を変化させることが可能である。これにより、図1に示したプレーナー型p-Si TFTの設計範囲に自由度を持たせることが可能となる。

【0027】〔実施例2〕次に、本発明の第2の実施例に係るプレーナー型p-Si TFTについて図10を参照して説明する。図10は、本実施例に係るプレーナー

型p-Si TFTのSD層直上及びゲート電極直上のレーザーの反射率を示す図である。

【0028】本実施例では、前記した第1の実施例と異なり、レーザーの波長を変えた場合、すなわち、KrFレーザー（ $\lambda = 248 \text{ nm}$ ）を用いた場合について説明するものである。図10中、実線で示した曲線がSD層直上の反射率を示し、破線がゲート電極7直上の反射率を示している。ゲートSiO₂膜5及びキャップSiO₂膜6の膜厚を $x = 50 \text{ nm}$ 、 $y = 400 \text{ nm}$ とした場合、ゲート電極7直上においてレーザーの反射率は48.9%、SD層直上においてレーザーの反射率は40.9%となる。

【0029】従って、レーザーの反射率を前記した第1の実施例と同様に、ゲート電極7上で小さくSD層上で大きくすることが可能となり、ゲート電極の消失を防ぎながら効率よくSD層の不純物を活性化することができる。

【0030】なお、本発明では、レーザーの種類としてエキシマレーザーとKrFレーザーの例について説明したが、本発明は上記に限定されるものではなく、ゲート酸化膜とキャップ酸化膜の膜厚との関係において、ゲート電極上でレーザーの反射率が大きく、SD層上で反射率が小さくなるような組み合わせであればよい。

【0031】

【発明の効果】以上説明したように、本発明によれば、ゲート電極にダメージを与えることなく、ソース/ドレイン領域に注入した不純物を効率的に活性化することができ、また、レーザー活性化のプロセスマージンを向上させることができるという効果を奏する。

【0032】その効果は、本発明では、レーザーによるアニールに際して、ゲート酸化膜とキャップ酸化膜の膜厚を所定の値に設定することによって、ゲート電極上ではレーザーの反射率を大きく、ソース/ドレイン上ではレーザーの反射率を小さくすることができ、従って、SD層の不純物の活性化に必要な強度のレーザーを照射しても、ゲート電極が消失することを防止することができるからであり、また、ゲート電極が保護されるため、ゲート電極が消失する臨界レーザー強度のマージンを大きくすることができるからである。

【0033】また、本発明によれば、LDD形成用の低ドーズプロセスを省くことができるため、省プロセス化が図れるという効果を奏する。

【0034】その理由は、サイドウォール直下ではレーザーの照射強度が低くなるため、SD領域に比べ不純物活性化率が低くなり、高抵抗領域が形成される。従って、従来のLDD構造では2回の不純物注入工程が必要となるが、本発明では1回の不純物注入工程のみで同等の性能が得ることができるからである。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るプレーナー型p-

Si TFTの構造を示す断面図である。

【図2】第1の実施例に係るプレーナ型p-Si TFTの製造方法を示す工程断面図である。

【図3】第1の実施例に係るプレーナ型p-Si TFTの製造方法を示す工程断面図である。

【図4】第1の実施例に係るプレーナ型p-Si TFTのSD層直上及びゲート電極直上のレーザの反射率を示す図である。

【図5】第1の実施例に係るプレーナ型p-Si TFTのキャップSiO₂の膜厚に対するWSiの消失臨界強度とSD層の活性化の臨界強度の関係を示す図であり、ゲート酸化膜厚が30nmの場合について説明するものである。

【図6】第1の実施例に係るプレーナ型p-Si TFTのキャップSiO₂の膜厚に対するWSiの消失臨界強度とSD層の活性化の臨界強度の関係を示す図であり、ゲート酸化膜厚が50nmの場合について説明するものである。

【図7】第1の実施例に係るプレーナ型p-Si TFTのキャップSiO₂の膜厚に対するWSiの消失臨界強度とSD層の活性化の臨界強度の関係を示す図であり、ゲート酸化膜厚が70nmの場合について説明するものである。

【図8】第1の実施例に係るプレーナ型p-Si TFTのゲートSiO₂の膜厚に対するWSiの消失臨界強度とSD層の活性化の臨界強度の関係を示す図であり、

キャップSiO₂の膜厚を400nmにした場合について説明するものである。

【図9】第1の実施例に係るプレーナ型p-Si TFTのゲートSiO₂の膜厚に対するWSiの消失臨界強度とSD層の活性化の臨界強度の関係を示す図であり、キャップSiO₂の膜厚を110nmにした場合について説明するものである。

【図10】第2の実施例に係るプレーナ型p-Si TFTのSD層直上及びゲート直上のレーザの反射率を示す図である。

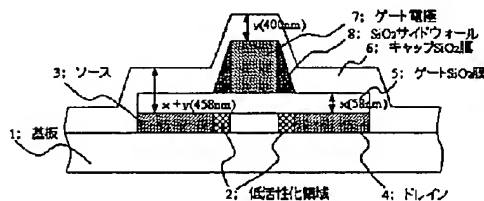
【図11】従来のプレーナ型p-Si TFTの製造方法を示す工程断面図である。

【図12】従来のプレーナ型p-Si TFTの製造方法を示す工程断面図である。

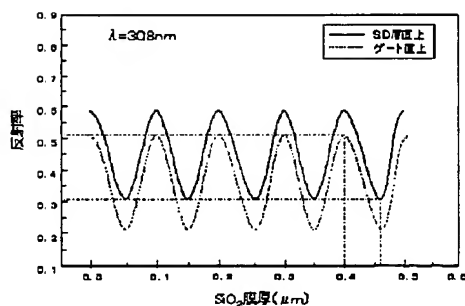
【符号の説明】

- 1 基板
- 2 低活性化領域
- 3 ソース
- 4 ドレイン
- 5 ゲートSiO₂膜
- 6 キャップSiO₂膜
- 7 ゲート電極
- 8 SiO₂サイドウォール
- 10 アニール炉
- 11 ウェーハ

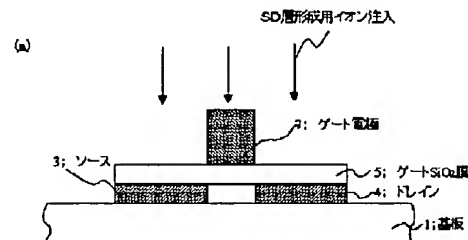
【図1】



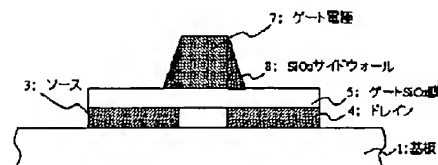
【図4】



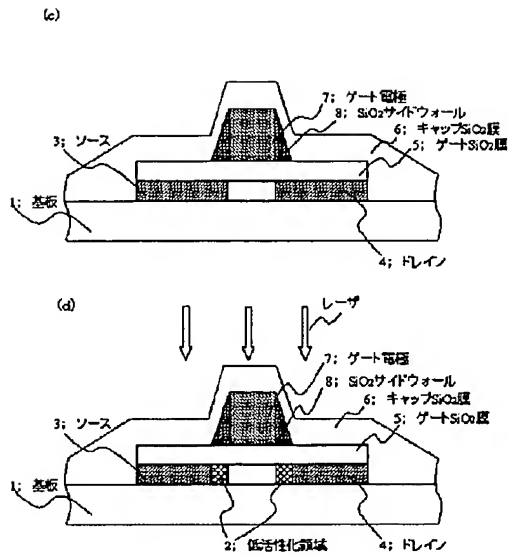
【図2】



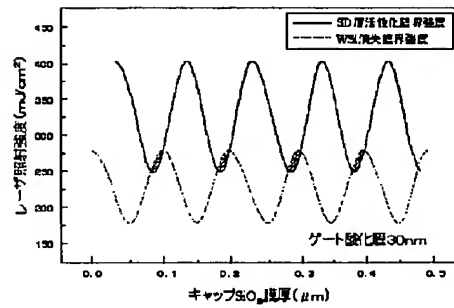
(b)



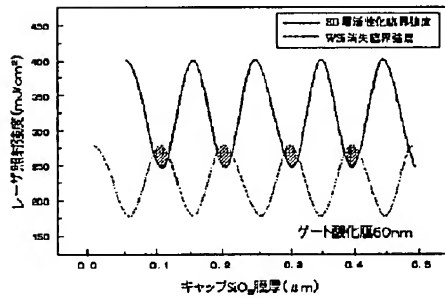
【図3】



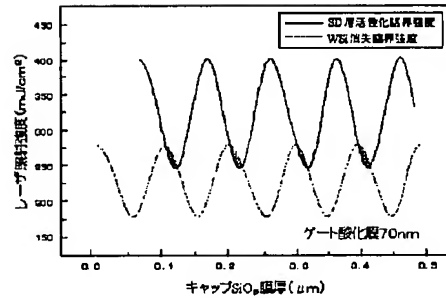
【図5】



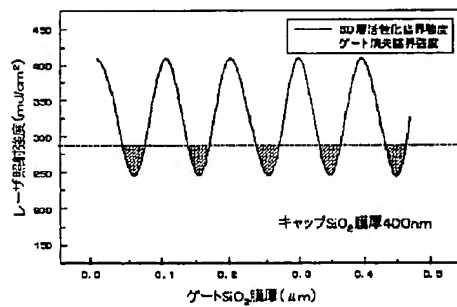
【図6】



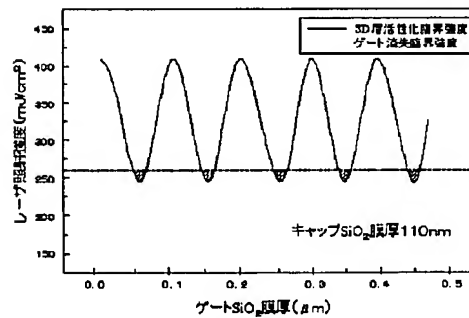
【図7】



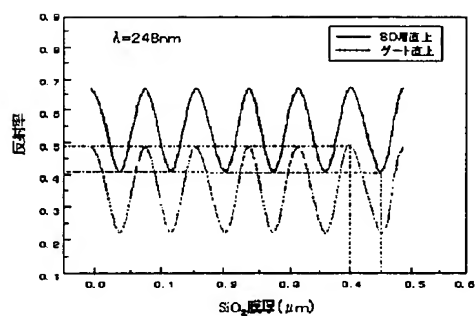
【図8】



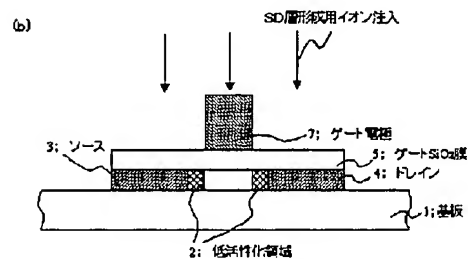
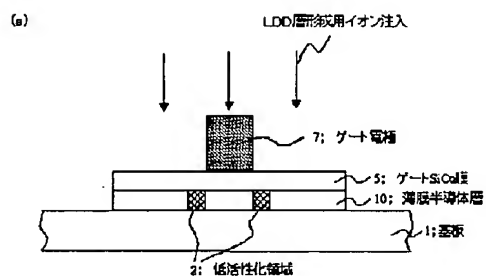
【図9】



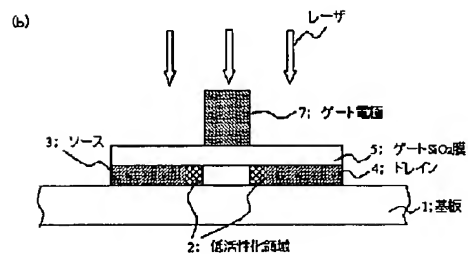
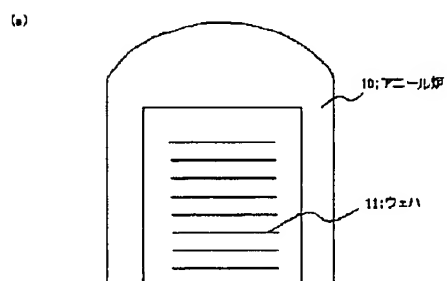
【図10】



【図11】



【図12】



PAT-NO: JP02000138374A
DOCUMENT-IDENTIFIER: JP 2000138374 A
TITLE: SEMICONDUCTOR DEVICE AND ITS MANUFACTURE
PUBN-DATE: May 16, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
IGA, DAISUKE	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP10309581
APPL-DATE: October 30, 1998

INT-CL (IPC): H01L029/786, H01L021/336 , H01L021/265

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor device and a manufacturing method thereof, in which an impurity injection process where SD(source/drain) layers and an LDD(lightly-doped drain) layer formed can be simplified, when impurities are activated through laser annealing after impurities are injected, and a gate electrode can be prevented from being eliminated by irradiation with a laser beam.

SOLUTION: A semiconductor device is equipped with a substrate 1, a thin-film semiconductor layer, a gate SiO₂ film 5, a gate electrode 7, an SiO₂ sidewall 8 formed on the sidewall of the gate electrode 7, and a cap SiO₂ film 6 formed covering them, wherein the optical thickness of the cap SiO₂ film 6 formed on the gate electrode 7 is set so as to make the cap SiO₂

film 6 high in
reflectivity to a laser beam used for activation of impurities,
the total sum
of the optical thicknesses of the gate SiO₂ film 5 and the cap
SiO₂ film 6
located on a source 3 and a drain 4 is set so as to make the
films 5 and 6 low
in reflectivity of the laser, and the optical thickness of the
cap SiO₂ film 6
is set to make the film 6 higher in reflectivity of the laser on
the SiO₂
sidewall 8 than that on the source 3 and the drain 4 and is set
to be the
required thickness for the formation of LDD layer.

COPYRIGHT: (C)2000,JPO